

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年10月 2日

出 願 番 号

Application Number:

特願2000-302064

出 願 人

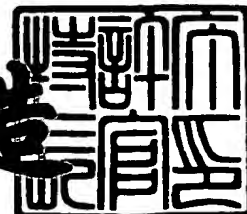
Applicant(s):

松下電器産業株式会社

2001年 5月31日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3049117

【書類名】 特許願

【整理番号】 2926420050

【提出日】 平成12年10月 2日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/28

【発明者】

 【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

 【氏名】 糸長 総一郎

【特許出願人】

 【識別番号】 000005843

 【氏名又は名称】 松下電子工業株式会社

【代理人】

 【識別番号】 100077931

 【弁理士】

 【氏名又は名称】 前田 弘

【選任した代理人】

 【識別番号】 100094134

 【弁理士】

 【氏名又は名称】 小山 廣毅

【選任した代理人】

 【識別番号】 100110939

 【弁理士】

 【氏名又は名称】 竹内 宏

【選任した代理人】

 【識別番号】 100110940

 【弁理士】

 【氏名又は名称】 嶋田 高久

【選任した代理人】

 【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006009

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 一部がシリサイド化された部材を備えた半導体装置の製造方法であって、

基板の半導体層の上に金属膜を形成する工程（a）と、

第 1 の熱処理により、上記金属膜と上記半導体層との間でシリサイド化反応を起こさせて、上記半導体層の上に多結晶構造の第 1 のシリサイド膜を形成する工程（b）と、

上記工程（b）の後、上記金属膜の未反応部を除去する工程（c）と、

上記第 1 のシリサイド膜内に不純物イオンを注入して、上記第 1 のシリサイド膜をアモルファス構造の第 2 のシリサイド膜に変える工程（d）と、

第 2 の熱処理により、上記第 2 のシリサイド膜をアモルファス構造から多結晶構造の第 3 のシリサイド膜に変えて、該第 3 のシリサイド膜を上記部材の少なくとも一部とする工程（e）と

を含む半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、

上記半導体層は、M I S F E T のゲート電極の一部であり、

上記工程（a）の前に、ポリシリコン膜を堆積する工程と、

上記工程（a）の前又は後に、上記ゲート電極を形成する工程とをさらに含むことを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 又は 2 記載の半導体装置の製造方法において、

上記半導体層は、M I S F E T のソース・ドレイン領域の一部であり、

上記工程（a）の前に、

上記半導体層を含む活性領域の上に、ゲート絶縁膜及びゲート電極を形成する工程と、

上記ゲート電極の側面上に絶縁体サイドウォールを形成する工程と、

上記活性領域のうち上記ゲート電極の両側方に位置する領域にソース・ドレイン領域を形成する工程と

をさらに含むことを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1～3 のうちいずれか 1 つに記載の半導体装置の製造方法において、

上記工程（c）の後で上記工程（d）の前に、基板上に保護膜を形成する工程をさらに含み、

上記工程（d）では、上記保護膜越しに上記シリサイド膜にイオン注入を行なうことを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 4 記載の半導体装置の製造方法において、

上記保護膜を形成する工程は、上記シリサイド膜が凝集しない温度で行なわれることを特徴する半導体装置の製造方法。

【請求項 6】 請求項 4 記載の半導体装置の製造方法において、

上記保護膜を形成する工程は、上記第 1 の熱処理時の温度以下の温度で行なわれることを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 1～6 のうちいずれか 1 つに記載の半導体装置の製造方法において、

上記工程（d）では、上記半導体層内まで上記不純物イオンを注入して、上記半導体層の表面部をアモルファス化することを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 1～7 のうちいずれか 1 つに記載の半導体装置の製造方法において、

上記工程（d）では、上記不純物イオンとしてシリコンイオンを用いることを特徴とする半導体装置の製造方法。

【請求項 9】 一部がシリサイド化された部材を備えた半導体装置の製造方法であって、

基板の半導体層の上に第 1 の金属膜を形成する工程（a）と、

第 1 の熱処理により、上記第 1 の金属膜と上記半導体層との間でシリサイド化反応を起こさせて、上記半導体層の上に金属リッチな第 1 のシリサイド膜を形成する工程（b）と、

上記工程（b）の後、上記第 1 の金属膜の未反応部を除去する工程（c）と、

上記工程（c）の後、基板上に上記第1の金属膜よりも薄い第2の金属膜を堆積する工程（d）と、

第2の熱処理により、上記第1のシリサイド膜がシリコンリッチな構造に変化した部分と、上記第2の金属膜がシリサイド化された部分とからなる第2のシリサイド膜を形成し、該第2のシリサイド膜を上記部材の少なくとも一部とする工程（e）と

を含む半導体装置の製造方法。

【請求項10】 請求項9記載の半導体装置の製造方法において、
上記半導体層は、MISFETのゲート電極の一部であり、
上記工程（a）の前に、ポリシリコン膜を堆積する工程と、
上記工程（a）の前又は後に、上記ゲート電極を形成する工程とをさらに含むことを特徴とする半導体装置の製造方法。

【請求項11】 請求項9又は10記載の半導体装置の製造方法において、
上記半導体層は、MISFETのソース・ドレイン領域の一部であり、
上記工程（a）の前に、
上記半導体層を含む基板領域の上に、ゲート絶縁膜及びゲート電極を形成する工程と、
上記ゲート電極の側面上に絶縁体サイドウォールを形成する工程と、
上記基板領域のうち上記ゲート電極の両側方に位置する領域にソース・ドレイン領域を形成する工程と
をさらに含むことを特徴とする半導体装置の製造方法。

【請求項12】 一部がシリサイド化された部材を備えた半導体装置の製造方法であって、

基板の半導体層の上に第1の金属膜を形成する工程（a）と、
第1の熱処理により、上記第1の金属膜と上記半導体層との間でシリサイド化反応を起こさせて、上記半導体層の上に金属リッチな第1のシリサイド膜を形成する工程（b）と、

上記工程（b）の後、上記第1の金属膜の未反応部を除去する工程（c）と、
第2の熱処理により、上記第1のシリサイド膜をシリコンリッチな第2のシリ

サイド膜に変化させる工程（d）と、

上記工程（d）の後、基板上に第2の金属膜を堆積する工程（e）と、

第3の熱処理により、上記第2の金属膜と上記半導体層との間でシリサイド化反応を起こさせて、上記半導体層の上に金属リッチな第3のシリサイド膜を形成する工程（f）と、

第4の熱処理により、上記第3のシリサイド膜をシリコンリッチな第4のシリサイド膜に変化させて、上記第2のシリサイド膜及び第4のシリサイド膜を上記部材の少なくとも一部とする工程（g）と

を含む半導体装置の製造方法。

【請求項13】 請求項12記載の半導体装置の製造方法において、
上記半導体層は、MISFETのゲート電極の一部であり、
上記工程（a）の前に、ポリシリコン膜を堆積する工程と、
上記工程（a）の前又は後に、上記ゲート電極を形成する工程とをさらに含むことを特徴とする半導体装置の製造方法。

【請求項14】 請求項12又は13記載の半導体装置の製造方法において、
上記半導体層は、MISFETのソース・ドレイン領域の一部であり、
上記工程（a）の前に、
上記半導体層を含む基板領域の上に、ゲート絶縁膜及びゲート電極を形成する工程と、
上記ゲート電極の側面上に絶縁体サイドウォールを形成する工程と、
上記基板領域のうち上記ゲート電極の両側方に位置する領域にソース・ドレイン領域を形成する工程と
をさらに含むことを特徴とする半導体装置の製造方法。

【請求項15】 請求項12～14のうちのいずれか1つに記載の半導体装置の製造方法において、

上記工程（f）では、上記第1のシリサイド膜を上記第2のシリサイド膜に変える際に、上記第2のシリサイド膜に分断部分が生じ上記半導体層の一部が露出しており、

上記工程（g）では、上記半導体層の露出した一部と上記第 2 の金属膜との間でシリサイド化反応を生じさせることを特徴とする半導体装置の製造方法。

【請求項 1 6】 請求項 1 2 ～ 1 5 のうちいずれか 1 つに記載の半導体装置の製造方法において、

上記工程（a）では、上記第 1 の金属膜としてチタン膜を形成し、

上記工程（g）では、上記第 2 のシリサイド膜としてコバルト膜を形成することを特徴とする半導体装置の製造方法。

【請求項 1 7】 半導体層を有する基板と、

上記半導体層の上に形成され、第 1 の金属のシリサイド膜と第 2 の金属のシリサイド膜とを一体化してなるシリサイド層とを備えた半導体装置。

【請求項 1 8】 請求項 1 7 記載の半導体装置において、

上記半導体層及び上記シリサイド層とによって、MISFET のゲート電極が構成されていることを特徴とする半導体装置の製造方法。

【請求項 1 9】 請求項 1 7 又は 1 8 記載の半導体装置の製造方法において

上記半導体層及び上記シリサイド層とによって、MISFET のソース・ドレイン領域が構成されていることを特徴とする半導体装置の製造方法。

【請求項 2 0】 請求項 1 7 ～ 1 9 のうちいずれか 1 つに記載の半導体装置において、

上記第 1 の金属のシリサイド膜には、結晶粒の凝集による分断部分があり、

上記第 2 の金属のシリサイド膜は、少なくとも上記第 1 の金属のシリサイド膜の分断部分に形成されていることを特徴とする半導体装置。

【請求項 2 1】 請求項 1 7 ～ 1 9 のうちいずれか 1 つに記載の半導体装置において、

上記第 1 の金属のシリサイド膜がチタンシリサイド膜であり、

上記第 2 の金属のシリサイド膜がコバルトシリサイド膜であることを特徴とする半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は半導体装置の製造方法に関し、特に金属をシリサイド化させてなるシリサイド層を形成する方法に関するものである。

【 0 0 0 2 】

【従来の技術】

近年、半導体装置の微細化・高集積化につれて、MIS型半導体装置のゲート電極や拡散層の低抵抗化を図るための方法として、コバルト（Co），チタン（Ti），タングステン（W）などの金属膜を用いて自己整合的にゲート電極や拡散層にシリサイド膜を形成する、いわゆるサリサイドプロセスがよく知られている。以下、従来のサリサイドプロセスを用いた半導体装置の製造方法について説明する。

【 0 0 0 3 】

図10（a）～図10（e）は、従来例のサリサイドプロセスを用いた半導体装置の製造工程を示す断面図である。

【 0 0 0 4 】

まず、図10（a）に示す工程で、半導体基板101に活性領域を囲むトレンチ型の素子分離用絶縁膜102を形成した後、半導体基板101の活性領域上にシリコン酸化膜からなるゲート絶縁膜103を形成する。その後、基板上にポリシリコン膜を堆積した後、リソグラフィ及びドライエッチングにより、ポリシリコン膜をパターニングして、ゲート絶縁膜103上にゲート電極104を形成する。その後、ゲート電極104および素子分離用絶縁膜102をマスクとして活性領域に低濃度の不純物イオンを注入して、LDD領域105をゲート電極104に対して自己整合的に形成する。その後、基板上にCVD法によって酸化膜を堆積し、この酸化膜をエッチバックすることにより、ゲート電極104の側面上に酸化膜からなるサイドウォール106を形成する。その後、ゲート電極104、サイドウォール106および素子分離用絶縁膜102をマスクとして活性領域に高濃度の不純物イオンを注入して、高濃度ソース・ドレイン領域107をゲート電極104に対して自己整合的に形成する。

【0005】

次に、図10(b)に示す工程で、スパッタリング法により、基板上に、コバルト膜108を堆積した後、コバルト膜108上に窒化チタン膜109を堆積する。

【0006】

次に、図10(c)に示す工程で、窒素ガス雰囲気中で、半導体基板101に400～500℃程度の温度で第1の短時間熱処理(RTA)を施し、ゲート電極104及び高濃度ソース・ドレイン領域107の露出している部分においてシリコン(Si)とコバルト(Co)とを反応させてコバルトリッチな第1のコバルトシリサイド膜110a(CoSiとCo₂Siとの混合体)を形成する。このとき、コバルト膜108のうちサイドウォール106及び素子分離用絶縁膜102などの絶縁膜上に位置する部分はシリサイド化されることはなく、未反応のままのコバルト膜108aが残存する。

【0007】

次に、図10(d)に示す工程で、硫酸と過酸化水素水の混合液などの溶液を用いて、窒化チタン膜109及び未反応のまま残存するコバルト膜108aを選択的に除去することによって、ゲート電極104及び高濃度ソース・ドレイン領域107上に多結晶体の第1のコバルトシリサイド膜110aを選択的に残置させる。

【0008】

次に、図10(e)に示す工程で、窒素ガス雰囲気中で、半導体基板101を800～900℃程度の温度で第2の短時間熱処理(RTA)を行い、第1のコバルトシリサイド膜110aを構造的に安定な第2のコバルトシリサイド膜110b(CoSi₂膜)に変換する。この結果、第2のコバルトシリサイド膜110bのシート抵抗は第1のコバルトシリサイド膜110aのシート抵抗よりも小さくなり、ゲート電極104及び高濃度ソース・ドレイン領域107の低抵抗化を図ることができる。

【0009】

【発明が解決しようとする課題】

しかしながら、上述のような従来のシリサイドプロセスを用いた半導体装置の製造方法においては、シリサイド膜の凝集による影響を受けやすく、シリサイド膜の抵抗値が高抵抗化するという不具合があった。ゲート電極やソース・ドレイン領域の上に、シリサイド化反応によって形成されたコバルトシリサイドの結晶粒は、650℃以上の熱処理を受けると凝集するという性質を有する。そのため、安定なコバルトシリサイド膜を形成するために必要な第2の短時間熱処理（800～900℃）を行なうと、結晶粒の凝集によって、コバルトシリサイド膜の一部が破断したり、極端に薄くなるという現象が見られた。

【0010】

図11(a)，(b)は、それぞれ図10(c)，(e)の工程における半導体装置の形状を示す断面図である。図11(a)に示すように、第1の短時間熱処理後に未反応なコバルト膜を除去して形成したコバルトシリサイド膜110aは、比較的小さな粒径を有する多くの結晶が連続した厚みのほぼ均一な1つの膜となっている。しかしながら、図11(b)に示すように、第2の短時間熱処理によってコバルト結晶粒が凝集して合体し各結晶の粒径が増大することによって、部分的に膜厚が極端に薄くなって第2のコバルトシリサイド膜110bの厚みの均一性が失われたり、第2のコバルトシリサイド膜110bの分断部分111が生じてコバルトシリサイド膜の連続性が失われることがある。その結果、第2のコバルトシリサイド膜110bの導電性が悪化し抵抗値が大幅に増大するため、ゲート電極104及び高濃度ソース・ドレイン領域107の低抵抗化が難しくなっている。

【0011】

このようなシリサイド膜中の結晶粒の凝集の原因は以下のように考えられる。コバルトシリサイド膜が650℃以上の温度になると、各結晶粒中のコバルト原子が表面拡散をし始め、このコバルト原子の移動に応じて界面エネルギーが最小になるように、各結晶粒が移動する流動化が生じて全体の構造が変化する。つまり、結晶方位の近い複数の結晶粒同士が合体して1つの結晶粒になったり、ある結晶粒が粒界部分を取り込んで大きな結晶粒に成長するなど、結晶粒の凝集が生じると考えられている。

【 0 0 1 2 】

特に、最近では、ゲート長が $0.1\mu\text{m}$ になるなどゲート電極、配線などの寸法が細線化されているので、上述のような凝集が生じると抵抗値の増大だけでなく配線の断線をも引き起こすおそれがある。また、最近では、ソース・ドレイン領域もシャロー化されて浅くなっていることから、結晶粒の凝集による部分的な結晶粒の粗大化などが生じると、シリサイド膜の一部がPN接合部に極端に近づくことによって接合リークが増大するおそれもある。

【 0 0 1 3 】

本発明の目的は、シリサイド膜中の結晶粒の凝集による結晶粒の粗大化、不均一化を抑制する手段を講ずることにより、低抵抗で信頼性の高いシリサイド膜を有する半導体装置及びその製造方法を提供することである。

【 0 0 1 4 】

【課題を解決するための手段】

本発明の第1の半導体装置の製造方法は、一部がシリサイド化された部材を備えた半導体装置の製造方法であって、基板の半導体層の上に金属膜を形成する工程(a)と、第1の熱処理により、上記金属膜と上記半導体層との間でシリサイド化反応を起こさせて、上記半導体層の上に多結晶構造の第1のシリサイド膜を形成する工程(b)と、上記工程(b)の後、上記金属膜の未反応部を除去する工程(c)と、上記第1のシリサイド膜内に不純物イオンを注入して、上記第1のシリサイド膜をアモルファス構造の第2のシリサイド膜に変える工程(d)と、第2の熱処理により、上記第2のシリサイド膜をアモルファス構造から多結晶構造の第3のシリサイド膜に変えて、該第3のシリサイド膜を上記部材の少なくとも一部とする工程(e)とを含んでいる。

【 0 0 1 5 】

この方法により、第1のシリサイド膜がいったんアモルファス状態の第2のシリサイド膜になった時点で多結晶構造が破壊されるので、その後成長した第3のシリサイド膜中の結晶粒は第1のシリサイド膜の結晶粒とは独立に新たに成長したものである。したがって、第3のシリサイド膜中の結晶粒の凝集による粗大化を抑制することができ、分断部分のない厚みがほぼ均一な連続したシリサイド膜

を有する半導体装置を形成することができる。

【 0 0 1 6 】

上記半導体層を、M I S F E T のゲート電極の一部とし、上記工程（a）の前に、ポリシリコン膜を堆積する工程と、上記工程（a）の前又は後に、上記半導体層となる上記ゲート電極を形成する工程とをさらに含むことにより、断線のない低抵抗化されたゲート電極を有するM I S F E T を形成することができる。

【 0 0 1 7 】

上記半導体層を、M I S F E T のソース・ドレイン領域の一部とし、上記工程（a）の前に、上記半導体層を含む活性領域の上に、ゲート絶縁膜及びゲート電極を形成する工程と、上記ゲート電極の側面上に絶縁体サイドウォールを形成する工程と、上記活性領域のうち上記ゲート電極の両側方に位置する領域に上記半導体層となるソース・ドレイン領域を形成する工程とをさらに含むことにより、ソース・ドレイン領域にゲート電極に対して自己整合的にシリサイド層を設けることができる。

【 0 0 1 8 】

上記工程（c）の後で上記工程（d）の前に、基板上に保護膜を形成する工程をさらに含み、上記工程（d）では、上記保護膜越しに上記シリサイド膜にイオン注入を行なうことにより、保護膜によるシリサイド結晶粒の流動を抑制する機能がさらに付加されるので、より確実に上述の効果を発揮することができる。

【 0 0 1 9 】

その場合、上記保護膜を形成する工程は、上記シリサイド膜が凝集しない温度で行なわれることが好ましい。

【 0 0 2 0 】

また、上記保護膜を形成する工程は、上記第 1 の熱処理時の温度以下の温度で行なわれることが好ましい。

【 0 0 2 1 】

上記工程（d）では、上記半導体層内まで上記不純物イオンを注入して、上記半導体層の表面部をアモルファス化することにより、第 3 のシリサイド膜の結晶粒がより均一に成長するので、半導体層がゲート電極である場合にはゲート抵抗

をより小さくすることができ、半導体層がソース・ドレイン領域である場合にはスパイク反応が抑制され接合リークの小さい半導体装置が得られる。

【 0 0 2 2 】

上記工程（d）では、上記不純物イオンとしてシリコンイオンを用いることにより、シリサイド化反応によるシリコンの消費を補うことができ、スパイク反応の抑制効果がより顕著に発揮される。

【 0 0 2 3 】

本発明の第 2 の半導体装置の製造方法は、一部がシリサイド化された部材を備えた半導体装置の製造方法であって、基板の半導体層の上に第 1 の金属膜を形成する工程（a）と、第 1 の熱処理により、上記第 1 の金属膜と上記半導体層との間でシリサイド化反応を起こさせて、上記半導体層の上に金属リッチな第 1 のシリサイド膜を形成する工程（b）と、上記工程（b）の後、上記第 1 の金属膜の未反応部を除去する工程（c）と、上記工程（c）の後、基板上に上記第 1 の金属膜よりも薄い第 2 の金属膜を堆積する工程（d）と、第 2 の熱処理により、上記第 1 のシリサイド膜がシリコンリッチな構造に変化した部分と、上記第 2 の金属膜がシリサイド化された部分とからなる第 2 のシリサイド膜を形成し、該第 2 のシリサイド膜を上記部材の少なくとも一部とする工程（e）とを含んでいる。

【 0 0 2 4 】

この方法により、第 2 の熱処理において第 2 のシリサイド膜中で結晶粒が凝集して薄膜化した部分や分断部分が生じて、第 2 の金属膜がシリサイド化した部分により、薄膜化した部分や分断部分が補われるので、厚みが比較的均一で分断部分のない第 2 のシリサイド膜を有する半導体装置が得られる。また、第 2 の金属膜が第 1 の金属膜よりも薄いことで、第 2 の金属膜のうち半導体層と接していない領域へのシリサイド膜の侵入による短絡などの不具合は回避される。

【 0 0 2 5 】

本発明の第 3 の半導体装置の製造方法は、基板の半導体層の上に第 1 の金属膜を形成する工程（a）と、第 1 の熱処理により、上記第 1 の金属膜と上記半導体層との間でシリサイド化反応を起こさせて、上記半導体層の上に金属リッチな第 1 のシリサイド膜を形成する工程（b）と、上記工程（b）の後、上記第 1 の金

属膜の未反応部を除去する工程（c）と、第2の熱処理により、上記第1のシリサイド膜をシリコンリッチな第2のシリサイド膜に変化させる工程（d）と、上記工程（d）の後、基板上に第2の金属膜を堆積する工程（e）と、第3の熱処理により、上記第2の金属膜と上記半導体層との間でシリサイド化反応を起こさせて、上記半導体層の上に金属リッチな第3のシリサイド膜を形成する工程（f）と、第4の熱処理により、上記第3のシリサイド膜をシリコンリッチな第4のシリサイド膜に変化させて、上記第2のシリサイド膜及び第4のシリサイド膜を上記部材の少なくとも一部とする工程（g）とを含んでいる。

【 0 0 2 6 】

この方法により、第2の熱処理において第2のシリサイド膜中で結晶粒が凝集して分断部分が生じて、第2の金属膜がシリサイド化した第4のシリサイド膜により、分断部分が補われるので、分断部分のない連続したシリサイド膜を有する半導体装置が得られる。また、第2の金属膜が第1の金属膜よりも薄いことで、第2の金属膜のうち半導体層と接していない領域へのシリサイド膜の侵入による短絡などの不具合は回避される。

【 0 0 2 7 】

上記工程（a）では、上記第1の金属膜としてチタン膜を形成し、上記工程（g）では、上記第2のシリサイド膜としてコバルト膜を形成することにより、反応温度の高いチタンシリサイドからなる第2のシリサイド膜中の結晶粒に影響を与えることなく、第3、第4の熱処理を行なうことができる。

【 0 0 2 8 】

本発明の半導体装置は、半導体層を有する基板と、上記半導体層の上に形成され、第1の金属のシリサイド膜と第2の金属のシリサイド膜とを一体化してなるシリサイド層とを備えている。

【 0 0 2 9 】

これにより、第2のシリサイド膜中の結晶粒が凝集していても、第4のシリサイド膜によって凝集による結晶粒の存在部位の偏り、例えば分断部分や薄膜化した部分などが補われるので、比較的厚みが均一な連続したシリサイド層が得られる。

【 0 0 3 0 】

上記半導体層及び上記シリサイド層とによって、M I S F E T のゲート電極や、ソース・ドレイン領域を構成することができる。

【 0 0 3 1 】

上記第 1 の金属のシリサイド膜がチタンシリサイド膜であり、上記第 2 の金属のシリサイド膜がコバルトシリサイド膜であることにより、シリサイド化反応温度の相違を利用して、製造の容易化を図ることができる。

【 0 0 3 2 】

【発明の実施の形態】

以下、本発明の実施形態について、図面を参照しながら説明する。

【 0 0 3 3 】

(第 1 の実施形態)

図 1 (a) ～図 1 (c) 及び図 2 (a) ～図 2 (c) は、本発明の第 1 の実施形態の半導体装置の製造工程を示す断面図である。

【 0 0 3 4 】

まず、図 1 (a) に示す工程で、p 型の半導体基板 1 に活性領域を囲むトレンチ型の素子分離用絶縁膜 2 を形成した後、半導体基板 1 の活性領域上にシリコン酸化膜からなるゲート絶縁膜 3 を形成する。その後、基板上にポリシリコン膜を堆積した後、リソグラフィ及びドライエッチングにより、ポリシリコン膜をパターンニングして、ゲート絶縁膜 3 上にゲート電極 4 を形成する。その後、ゲート電極 4 および素子分離用絶縁膜 2 をマスクとして活性領域に n 型の低濃度の不純物イオンを注入して、L D D 領域 5 をゲート電極 4 に対して自己整合的に形成する。その後、C V D 法によって基板上に酸化膜を堆積し、この酸化膜をエッチバックすることにより、ゲート電極 4 の側面上に酸化膜からなるサイドウォール 6 を形成する。その後、ゲート電極 4 、サイドウォール 6 および素子分離用絶縁膜 2 をマスクとして活性領域に n 型の高濃度の不純物イオンを注入して、高濃度ソース・ドレイン領域 7 をゲート電極 4 に対して自己整合的に形成する。

【 0 0 3 5 】

次に、図 1 (b) に示す工程で、スパッタリング法により、基板上に厚み約 8

n m のコバルト膜 8 を堆積した後、コバルト膜 8 の上に厚み約 2 0 n m の窒化チタン膜 9 を堆積する。

【 0 0 3 6 】

次に、図 1 (c) に示す工程で、窒素ガス雰囲気中で、半導体基板 1 に 4 0 0 ~ 5 0 0 ° C 程度の温度で 6 0 秒程度の第 1 の短時間熱処理 (R T A) を施して、ゲート電極 4 及び高濃度ソース・ドレイン領域 7 の露出している部分においてシリコン (S i) とコバルト (C o) とを反応させてコバルトリッチな第 1 のコバルトシリサイド膜 1 0 a ($C o_2 S i$ と $C o S i$ との混合体) を形成する。このとき、コバルト膜 8 のうちサイドウォール 6 及び素子分離用絶縁膜 2 などの絶縁膜上に位置する部分はシリサイド化されることはなく、未反応のままのコバルト膜 8 a が残存する。なお、第 1 の短時間熱処理は、窒素ガス雰囲気中の代わりに真空中やアルゴン雰囲気中で行ってもよい。

【 0 0 3 7 】

次に、図 2 (a) に示す工程で、硫酸と過酸化水素水の混合液などの溶液を用いて、窒化チタン膜 9 及び未反応のまま残存するコバルト膜 8 a を選択的に除去することによって、ゲート電極 4 及び高濃度ソース・ドレイン領域 7 上に多結晶体の第 1 のコバルトシリサイド膜 1 0 a を選択的に残置させる。

【 0 0 3 8 】

次に、図 2 (b) に示す工程で、 n 型の不純物イオン例えばヒ素イオン (A s ⁺) をドーズ量 $1 \times 10^{14} \text{ atoms / cm}^2$ 程度の条件で第 1 のコバルトシリサイド膜 1 0 a 内に注入して、少なくとも第 1 のコバルトシリサイド膜 1 0 a をアモルファス化してアモルファス構造の第 2 のコバルトシリサイド膜 1 0 b とする。このとき、第 1 のコバルトシリサイド膜 1 0 a の下方に位置するゲート電極 4 及び高濃度ソース・ドレイン領域 7 の表面部にも、後の第 2 の短時間熱処理でコバルトシリサイド膜に変換される深さまでイオン注入して、ポリシリコン又はシリコンをアモルファス化しておくことが好ましい。

【 0 0 3 9 】

次に、図 2 (c) に示す工程で、窒素ガス雰囲気中で、半導体基板 1 に 8 0 0 ~ 9 0 0 ° C 程度の温度で 1 0 秒程度の第 2 の短時間熱処理 (R T A) を施して、

アモルファス構造の第2のコバルトシリサイド膜10bを構造的に安定な多結晶構造の第3のコバルトシリサイド膜10c (CoSi_2) に変える。なお、第2の短時間熱処理は、窒素ガス雰囲気中の代わりに真空中やアルゴン雰囲気中で行ってもよい。

【0040】

本実施形態の製造工程によると、図2(b)に示す工程で、多結晶構造の第1のコバルトシリサイド膜10aにイオン注入を行い、第1のコバルトシリサイド膜10aをアモルファス構造の第2のコバルトシリサイド膜10bにした後に、図2(c)に示す工程で、第2の短時間熱処理により多結晶構造の第3のコバルトシリサイド膜10cを形成するため、従来の製造工程のように第2の短時間熱処理によって結晶粒の凝集を生じることなく、アモルファス構造の第2のコバルトシリサイド膜10bの全領域がほぼ均一な多結晶からなる安定な第3のコバルトシリサイド膜10cに変換する。従って、最終的に形成されるコバルトシリサイド膜10cに部分的な分断は生じにくく、厚みが均一で連続的な1つの膜である第3のコバルトシリサイド膜10cを形成することができる。したがって、ゲート電極4や高濃度ソース・ドレイン領域7の低抵抗化を確実に実現することができる。また、ゲート電極やゲート配線が細線化された場合でも、一部が断線するような事態を回避することができ、高濃度ソース・ドレイン領域7がシャロー化されても、比較的均一な結晶粒径による均一な厚みのシリサイド膜が得られることで、接合リークを抑制することができる。

【0041】

また、第1のコバルトシリサイド膜10aへのイオン注入の際に、第1のコバルトシリサイド膜10aの下方に位置するゲート電極4及び高濃度ソース・ドレイン領域7の表面部までアモルファス化しておくことによって、第2の短時間熱処理の際に第3のコバルトシリサイド膜10cの結晶粒が均一に成長する。したがって、ゲート電極4の低抵抗化をより効果的に実現することができるとともに、高濃度ソース・ドレイン領域7の下方においてスパイク反応が起こりにくくなって、接合リーク異常を抑制することができる。

【0042】

なお、上記実施形態では、図 2 (b) に示す工程で、ヒ素をイオン注入して第 1 のコバルトシリサイド膜 10 a をアモルファス構造に変化させたが、ヒ素の代わりにシリコン (Si) をイオン注入してアモルファス化してもよい。このようにシリコンをイオン注入した場合には、第 2 の短時間熱処理の反応におけるゲート電極 4 及び高濃度ソース・ドレイン領域 7 のシリコンの消費を補うことができるので、スパイク反応による接合リークを抑制することができる。この結果、第 3 のコバルトシリサイド膜 10 c のシート抵抗が下がり、ゲート電極 4 及び高濃度ソース・ドレイン領域 7 の低抵抗化を図ることができる。

【0043】

また、ソース・ドレイン領域上のシリサイド膜にイオン注入する場合は、当該ソース・ドレイン領域の導電型と同じ導電型の不純物を注入する方が好ましい。デュアルゲート構造を有するゲート電極上のシリサイド膜にイオン注入する場合にも同様である。

【0044】

本実施形態及び後述の各実施形態において、形成するシリサイド膜は必ずしもコバルトシリサイド膜でなくてもよく、チタンシリサイド膜、タングステンシリサイド膜、ニッケルシリサイド膜、モリブデンシリサイド膜、タンタルシリサイド膜など、各種金属シリサイド膜に対して、本発明を適用することができる。ただし、コバルトシリサイド膜の場合、シリサイド化反応をチタンシリサイド膜より低温で行なわせることができるため、半導体基板内の不純物プロファイルに与える影響が少ないという利点がある。

【0045】

(第 2 の実施形態)

図 3 (a) ～図 3 (c) 及び図 4 (a) ～図 4 (c) は、本発明の第 2 の実施形態の半導体装置の製造工程を示す断面図である。

【0046】

まず、図 3 (a) に示す工程で、p 型の半導体基板 1 に活性領域を囲むトレンチ型の素子分離用絶縁膜 2 を形成した後、半導体基板 1 の活性領域上にシリコン酸化膜からなるゲート絶縁膜 3 を形成する。その後、基板上にポリシリコン膜を

堆積した後、リソグラフィ及びドライエッチングにより、ポリシリコン膜をパターンニングして、ゲート絶縁膜 3 上にゲート電極 4 を形成する。その後、ゲート電極 4 および素子分離用絶縁膜 2 をマスクとして活性領域に n 型の低濃度の不純物イオンを注入して、LDD 領域 5 をゲート電極 4 に対して自己整合的に形成する。その後、CVD 法によって基板上に酸化膜を堆積し、この酸化膜をエッチバックすることにより、ゲート電極 4 の側面上に酸化膜からなるサイドウォール 6 を形成する。その後、ゲート電極 4、サイドウォール 6 および素子分離用絶縁膜 2 をマスクとして活性領域に n 型の高濃度の不純物イオンを注入して、高濃度ソース・ドレイン領域 7 をゲート電極 4 に対して自己整合的に形成する。

【 0 0 4 7 】

次に、図 3 (b) に示す工程で、スパッタリング法により、基板上に厚み約 8 nm のコバルト膜 8 を堆積した後、コバルト膜 8 の上に厚み約 2 0 nm の窒化チタン膜 9 を堆積する。

【 0 0 4 8 】

次に、図 3 (c) に示す工程で、窒素ガス雰囲気中で、半導体基板 1 に 4 0 0 ~ 5 0 0 °C 程度の温度で 6 0 秒程度の第 1 の短時間熱処理 (RTA) を施して、ゲート電極 4 及び高濃度ソース・ドレイン領域 7 の露出している部分においてシリコン (Si) とコバルト (Co) とを反応させてコバルトリッチな第 1 のコバルトシリサイド膜 1 0 a (Co_2Si と CoSi との混合体) を形成する。このとき、コバルト膜 8 のうちサイドウォール 6 及び素子分離用絶縁膜 2 などの絶縁膜上に位置する部分はシリサイド化されることはなく、未反応のままのコバルト膜 8 a が残存する。なお、第 1 の短時間熱処理は、窒素ガス雰囲気中の代わりに真空中やアルゴン雰囲気中で行ってもよい。

【 0 0 4 9 】

次に、図 4 (a) に示す工程で、硫酸と過酸化水素水の混合液などの溶液を用いて、窒化チタン膜 9 及び未反応のまま残存するコバルト膜 8 a を選択的に除去することによって、ゲート電極 4 及び高濃度ソース・ドレイン領域 7 上に多結晶体の第 1 のコバルトシリサイド膜 1 0 a を選択的に残置させる。その後、基板上に厚み約 2 0 nm の CVD 酸化膜からなる保護膜 1 2 を堆積する。このとき、保

保護膜 1 2 の堆積温度は、第 1 のシリサイド膜が凝集する温度よりも低い温度、例えば、本実施形態のようにコバルトシリサイド膜を用いる場合は、650℃以下であることが好ましい。さらに、保護膜 1 2 の堆積温度は、第 1 の短時間熱処理の温度と同程度あるいはそれ以下の温度であることがより好ましい。なお、保護膜 1 2 としては、CVD酸化膜の他にプラズマ酸化膜やプラズマ窒化膜などの絶縁膜や、窒化チタン膜の導体膜を用いてもよい。

【0050】

次に、図 4 (b) に示す工程で、n 型の不純物イオン例えばヒ素イオン (As^+) をドーズ量約 $1 \times 10^{14} \text{ atoms / cm}^2$ の条件で第 1 のコバルトシリサイド膜 10 a 内に保護膜 1 2 を通過させて注入して、少なくとも第 1 のコバルトシリサイド膜 10 a をアモルファス化してアモルファス構造の第 2 のコバルトシリサイド膜 10 b とする。このとき、第 1 のコバルトシリサイド膜 10 a の下方に位置するゲート電極 4 及び高濃度ソース・ドレイン領域 7 の表面部にも、後の第 2 の短時間熱処理でコバルトシリサイド膜に変換される深さまでイオン注入して、ポリシリコン又はシリコンをアモルファス化しておくことが好ましい。

【0051】

次に、図 4 (c) に示す工程で、窒素ガス雰囲気中で、半導体基板 1 に 800 ~ 900℃程度の温度で 10 秒程度の第 2 の短時間熱処理 (RTA) を施して、アモルファス構造の第 2 のコバルトシリサイド膜 10 b を構造的に安定な多結晶構造の第 3 のコバルトシリサイド膜 10 c ($CoSi_2$) に変換する。なお、第 2 の短時間熱処理は、窒素ガス雰囲気中の代わりに真空中やアルゴン雰囲気中で行ってもよい。

【0052】

その後、保護膜 1 2 が絶縁膜の場合にはそのまま残存させて、保護膜 1 2 上に層間絶縁膜を形成してもよい。また、保護膜 1 2 が窒化チタン膜のような導体膜の場合には、保護膜 1 2 を選択的に除去した後、層間絶縁膜を形成すれば良い。

【0053】

本実施形態の製造工程によると、図 4 (a) に示す工程で、第 1 のコバルトシリサイド膜 10 a の上に保護膜 1 2 を堆積した後、図 4 (b) に示す工程で、保

護膜 1 2 越しに第 1 のコバルトシリサイド膜 1 0 a にイオン注入を行い、アモルファス構造の第 2 のアモルファス・コバルトシリサイド膜 1 0 b とし、図 4 (c) に示す工程で第 2 の短時間熱処理により多結晶構造の第 3 のコバルトシリサイド膜 1 0 c を形成するため、保護膜 1 2 によってコバルトシリサイドの結晶粒の流動化が抑制される。しかも、アモルファス状態になっているため、従来の製造工程のように第 2 の短時間熱処理によって結晶粒の凝集を生じることなく、アモルファス構造の第 2 のコバルトシリサイド膜 1 0 b の全領域がほぼ均一な多結晶からなる安定な第 3 のコバルトシリサイド膜 1 0 c に変換される。従って、第 3 のコバルトシリサイド膜 1 0 c に部分的な分断は生じにくく、厚みが均一で連続的な 1 つの膜である第 3 のコバルトシリサイド膜 1 0 c を形成することができる。したがって、ゲート電極 4 や高濃度ソース・ドレイン領域 7 の低抵抗化を確実に実現することができる。また、ゲート電極やゲート配線が細線化された場合でも、一部が断線するような事態を回避することができ、高濃度ソース・ドレイン領域 7 がシャロー化されても、比較的均一な結晶粒径による均一な厚みのシリサイド膜が得られることで、接合リークを抑制することができる。

【 0 0 5 4 】

また、第 1 のコバルトシリサイド膜 1 0 a へのイオン注入の際に、第 1 のコバルトシリサイド膜 1 0 a の下方に位置するゲート電極 4 及び高濃度ソース・ドレイン領域 7 の表面部までアモルファス化しておくことによって、第 2 の短時間熱処理の際に第 3 のコバルトシリサイド膜 1 0 c の結晶粒が均一に成長する。したがって、ゲート電極 4 の低抵抗化をより効果的に実現することができるとともに、高濃度ソース・ドレイン領域 7 の下方においてスパイク反応が起こりにくくなって、接合リーク異常を抑制することができる。

【 0 0 5 5 】

なお、上記実施形態では、図 4 (b) に示す工程で、ヒ素をイオン注入して第 1 のコバルトシリサイド膜 1 0 a をアモルファス構造にしたが、ヒ素の代わりにシリコン (S i) をイオン注入してアモルファス化してもよい。このようにシリコンをイオン注入した場合には、第 2 の短時間熱処理の反応におけるゲート電極 4 及び高濃度ソース・ドレイン領域 7 のシリコンの消費を補うことができるので

、スパイク反応による接合リークを抑制することができる。この結果、第3のコバルトシリサイド膜10cのシート抵抗が下がり、ゲート電極4及び高濃度ソース・ドレイン領域7の低抵抗化を図ることができる。

【0056】

(第3の実施形態)

図5(a)～図5(c)及び図6(a)～図6(c)は、本発明の第3の実施形態の半導体装置の製造工程を示す断面図である。

【0057】

まず、図5(a)に示す工程で、p型の半導体基板1に活性領域を囲むトレンチ型の素子分離用絶縁膜2を形成した後、半導体基板1の活性領域上にシリコン酸化膜からなるゲート絶縁膜3を形成する。その後、基板上にポリシリコン膜を堆積した後、リソグラフィ及びドライエッチングにより、ポリシリコン膜をパターンニングして、ゲート絶縁膜3上にゲート電極4を形成する。その後、ゲート電極4および素子分離用絶縁膜2をマスクとして活性領域にn型の低濃度の不純物イオンを注入して、LDD領域5をゲート電極4に対して自己整合的に形成する。その後、CVD法によって基板上に酸化膜を堆積し、この酸化膜をエッチバックすることにより、ゲート電極4の側面上に酸化膜からなるサイドウォール6を形成する。その後、ゲート電極4、サイドウォール6および素子分離用絶縁膜2をマスクとして活性領域にn型の高濃度の不純物イオンを注入して、高濃度ソース・ドレイン領域7をゲート電極4に対して自己整合的に形成する。

【0058】

次に、図5(b)に示す工程で、スパッタリング法により、基板上に厚み約8nmのコバルト膜8を堆積した後、コバルト膜8の上に厚み約20nmの窒化チタン膜9を堆積する。

【0059】

次に、図5(c)に示す工程で、窒素ガス雰囲気中で、半導体基板1に400～500℃程度の温度で60秒程度の第1の短時間熱処理(RTA)を施して、ゲート電極4及び高濃度ソース・ドレイン領域7の露出している部分においてシリコン(Si)とコバルト(Co)とを反応させてコバルトリッチな第1のコバ

ルトシリサイド膜 2 0 a (Co_2Si と CoSi との混合体) を形成する。このとき、コバルト膜 8 のうちサイドウォール 6 及び素子分離用絶縁膜 2 などの絶縁膜上に位置する部分はシリサイド化されることはなく、未反応のままのコバルト膜 8 a が残存する。なお、第 1 の短時間熱処理は、窒素ガス雰囲気中の代わりに真空中やアルゴン雰囲気中で行ってもよい。

【 0 0 6 0 】

次に、図 6 (a) に示す工程で、硫酸と過酸化水素水の混合液などの溶液を用いて、窒化チタン膜 9 及び未反応のまま残存するコバルト膜 8 a を選択的に除去することによって、ゲート電極 4 及び高濃度ソース・ドレイン領域 7 上に多結晶構造の第 1 のコバルトシリサイド膜 2 0 a を選択的に残置させる。その後、スパッタリング法により、基板上に、第 1 のコバルトシリサイド膜 2 0 a の形成に用いた第 1 の金属膜であるコバルト膜 8 よりも膜厚の薄い第 2 の金属膜として厚みが約 2 nm のコバルト膜 1 3 を堆積した後、コバルト膜 1 3 上に連続して第 2 の保護膜となる厚みが約 2 0 nm の窒化チタン膜 1 4 を堆積する。

【 0 0 6 1 】

次に、図 6 (b) に示す工程で、窒素ガス雰囲気中で、半導体基板 1 に 8 0 0 ~ 9 0 0 °C 程度の温度で 1 0 秒程度の第 2 の短時間熱処理 (RTA) を施して、金属リッチな第 1 のコバルトシリサイド膜 2 0 a をシリコンリッチで構造的に安定な第 2 のコバルトシリサイド膜 2 0 b (CoSi_2) に変換する。この第 2 の短時間熱処理により、第 1 のコバルトシリサイド膜 2 0 a とその上のコバルト膜 1 3 との間ではシリサイド化反応が進行するが、コバルト膜 8 のうちサイドウォール 6 及び素子分離用絶縁膜 2 の上に位置する部分ではシリサイド化反応が生じず、未反応のままのコバルト膜 1 3 a が残存する。ここで、第 2 の短時間熱処理の温度は第 1 の短時間熱処理の温度に比べると高いので、第 1 の短時間熱処理と連続して第 2 の短時間熱処理を行なうと、第 1 の短時間熱処理の際に未反応のコバルト膜 8 a までシリサイド膜が浸食して、ゲート電極 4 と高濃度ソース・ドレイン領域 7 とがシリサイド膜を介して導通するおそれがある。それに対し、本実施形態においては、第 2 の金属膜であるコバルト膜 1 3 は約 2 nm の厚みしかなく薄いので、第 2 の短時間熱処理によって未反応のコバルト膜 1 3 a 全体がシリ

サイド化されることはない。なお、第 2 の短時間熱処理は、窒素ガス雰囲気中の代わりに真空中やアルゴン雰囲気中で行ってもよい。

【 0 0 6 2 】

次に、図 6 (c) に示す工程で、硫酸と過酸化水素水の混合液などの溶液を用いて、窒化チタン膜 1 4 及び未反応のまま残存するコバルト膜 1 3 a を選択的に除去することによって、ゲート電極 4 及び高濃度ソース・ドレイン領域 7 上に第 2 のコバルトシリサイド膜 2 0 b を選択的に残置させることができる。

【 0 0 6 3 】

本実施形態の製造工程によると、図 6 (a) に示す工程で、第 1 のコバルトシリサイド膜 2 0 a の上に薄いコバルト膜 1 3 を堆積した後、図 6 (b) に示す工程で、コバルト膜 1 3 が全面に形成されている状態で第 2 の短時間熱処理を行うため、第 2 の短時間熱処理の際にも、従来の製造工程のように第 2 のコバルトシリサイド膜 2 0 b に部分的な分断は生じにくく、全領域が連続している安定な第 2 のコバルトシリサイド膜 2 0 b が得られる。したがって、ゲート電極 4 や高濃度ソース・ドレイン領域 7 の低抵抗化を確実に実現することができる。また、ゲート電極やゲート配線が細線化された場合でも、一部が断線するような事態を回避することができ、高濃度ソース・ドレイン領域 7 がシャロー化されても、比較的均一な厚みのシリサイド膜が得られることで、接合リークを抑制することができる。

【 0 0 6 4 】

なお、本実施形態においても、第 2 の実施形態を応用して、第 2 の金属膜を堆積してから不純物イオンを第 1 のシリサイド膜内に注入すると、より結晶粒を微細化できる効果がある。

【 0 0 6 5 】

(第 4 の実施形態)

図 7 (a) ～図 7 (c) 、図 8 (a) ～図 8 (c) 及び図 9 (a) 、図 9 (b) は、本発明の第 4 の実施形態の半導体装置の製造工程を示す断面図である。

【 0 0 6 6 】

まず、図 7 (a) に示す工程で、p 型の半導体基板 1 に活性領域を囲むトレン

チ型の素子分離用絶縁膜 2 を形成した後、半導体基板 1 の活性領域上にシリコン酸化膜からなるゲート絶縁膜 3 を形成する。その後、基板上にポリシリコン膜を堆積した後、リソグラフィ及びドライエッチングにより、ポリシリコン膜をパターンニングして、ゲート絶縁膜 3 上にゲート電極 4 を形成する。その後、ゲート電極 4 および素子分離用絶縁膜 2 をマスクとして活性領域に n 型の低濃度の不純物イオンを注入して、LDD 領域 5 をゲート電極 4 に対して自己整合的に形成する。その後、CVD 法によって基板上に酸化膜を堆積し、この酸化膜をエッチバックすることにより、ゲート電極 4 の側面上に酸化膜からなるサイドウォール 6 を形成する。その後、ゲート電極 4、サイドウォール 6 および素子分離用絶縁膜 2 をマスクとして活性領域に n 型の高濃度の不純物イオンを注入して、高濃度ソース・ドレイン領域 7 をゲート電極 4 に対して自己整合的に形成する。

【 0 0 6 7 】

次に、図 7 (b) に示す工程で、スパッタリング法により、基板上に厚み約 8 nm のコバルト膜 8 を堆積した後、コバルト膜 8 の上に厚み約 2 0 nm の窒化チタン膜 9 を堆積する。

【 0 0 6 8 】

次に、図 7 (c) に示す工程で、窒素ガス雰囲気中で、半導体基板 1 に 4 0 0 ~ 5 0 0 °C 程度の温度で 6 0 秒程度の第 1 の短時間熱処理 (RTA) を施して、ゲート電極 4 及び高濃度ソース・ドレイン領域 7 の露出している部分においてシリコン (Si) とコバルト (Co) とを反応させてコバルトリッチな第 1 のコバルトシリサイド膜 2 0 a (Co_2Si と CoSi との混合体) を形成する。このとき、コバルト膜 8 のうちサイドウォール 6 及び素子分離用絶縁膜 2 などの絶縁膜上に位置する部分はシリサイド化されることはなく、未反応のままのコバルト膜 8 a が残存する。なお、第 1 の短時間熱処理は、窒素ガス雰囲気中の代わりに真空中やアルゴン雰囲気中で行ってもよい。

【 0 0 6 9 】

次に、図 8 (a) に示す工程で、硫酸と過酸化水素水の混合液などの溶液を用いて、窒化チタン膜 9 及び未反応のまま残存するコバルト膜 8 a を選択的に除去することによって、ゲート電極 4 及び高濃度ソース・ドレイン領域 7 上に第 1 の

コバルトシリサイド膜 2 0 a を選択的に残置させる。その後、窒素ガス雰囲気中で、半導体基板 1 を 8 0 0 ~ 9 0 0 °C 程度で第 2 の短時間熱処理 (R T A) を行い、第 1 のコバルトシリサイド膜 2 0 a を構造的に安定な第 2 のコバルトシリサイド膜 2 0 b (CoSi_2) に変換する。このとき、第 2 の短時間熱処理によってコバルト原子の移動による結晶粒の凝集が生じて、結晶粒径が増大することによって部分的に膜厚が極端に薄くなったり、第 2 のコバルトシリサイド膜 2 0 b に分断部分 1 5 が生じてその分断部分で下地のシリコン層が露出した状態になることがある。

【 0 0 7 0 】

次に、図 8 (b) に示す工程で、スパッタリング法により、基板上に第 2 の金属膜として厚みが約 6 n m のコバルト膜 1 6 を堆積した後、コバルト膜 1 6 の上に第 2 の保護膜として厚みが約 2 0 n m の窒化チタン膜 1 7 を堆積する。

【 0 0 7 1 】

次に、図 8 (c) に示す工程で、窒素ガス雰囲気中で、半導体基板 1 に 4 0 0 ~ 5 0 0 °C 程度の温度で 6 0 秒程度の第 3 の短時間熱処理 (R T A) を施す。この結果、ゲート電極 4 及び高濃度ソース・ドレイン領域 7 のうち第 2 のコバルトシリサイド膜 2 0 b の分断部分 1 5 において露出している部分のシリコン (S i) とコバルト (C o) とが反応してコバルトリッチな第 3 のコバルトシリサイド膜 1 8 a (Co_2Si あるいは CoSi) が形成される。このとき、第 2 のコバルトシリサイド膜 2 0 b とコバルト膜 1 6 との間でもシリサイド化反応が進行するが、コバルト膜 1 6 と第 2 のコバルトシリサイド膜 2 0 b の分断部分 1 5 におけるシリコン層との反応に比べると、反応はわずかである。なお、コバルト膜 1 6 のうちサイドウォール 6 及び素子分離用絶縁膜 2 の上に位置する部分ではシリサイド化反応が生ぜず、未反応のままのコバルト膜 1 6 a が残存する。なお、第 3 の短時間熱処理は、窒素ガス雰囲気中の代わりに真空中やアルゴン雰囲気中で行ってもよい。

【 0 0 7 2 】

次に、図 9 (a) に示す工程で、硫酸と過酸化水素水の混合液などの溶液を用いて、窒化チタン膜 1 7 及び未反応のまま残存するコバルト膜 1 6 a を選択的に

除去することによって、ゲート電極 4 及び高濃度ソース・ドレイン領域 7 の上に第 2 のコバルトシリサイド膜 2 0 b と共に第 3 のコバルトシリサイド膜 1 8 a を選択的に残置させる。

【 0 0 7 3 】

次に、図 9 (b) に示す工程で、窒素ガス雰囲気中で、半導体基板 1 を 8 0 0 ～ 9 0 0 ℃ 程度の温度で 1 0 秒程度の第 4 の短時間熱処理 (R T A) を行い、第 3 のコバルトシリサイド膜 1 8 a を構造的に安定な第 4 のコバルトシリサイド膜 1 8 b (CoSi_2) に変換する。なお、第 4 の短時間熱処理は、窒素ガス雰囲気中の代わりに真空中やアルゴン雰囲気中で行ってもよい。

【 0 0 7 4 】

本実施形態の製造工程によると、図 7 (b) 、図 7 (c) 及び図 8 (a) に示す工程で、構造的に安定な第 2 のコバルトシリサイド膜 2 0 b を形成した後、図 8 (b) 、図 8 (c) 、図 9 (a) 及び図 9 (b) に示す工程で、第 2 のコバルトシリサイド膜 2 0 b を形成する際に分断部分 1 5 が生じていても、最終的にはその分断部分 1 5 において構造的に安定な第 4 のコバルトシリサイド膜 1 8 b が形成されるため、第 2 のコバルトシリサイド膜 2 0 b および第 4 のコバルトシリサイド膜 1 8 b からなる連続的なシリサイド膜を形成することができる。この結果、第 2 、第 4 のコバルトシリサイド膜 2 0 b 、 1 8 b からなるシリサイド膜全体のシート抵抗が小さくなり、ゲート電極 4 及び高濃度ソース・ドレイン領域 7 の低抵抗化を図ることができる。

【 0 0 7 5 】

なお、上記実施形態では、第 1 、第 2 の金属膜のいずれもコバルト膜を用いて説明したが、第 1 の金属膜としてチタン膜、第 2 の金属膜としてコバルト膜を用いて、チタンシリサイド膜とコバルトシリサイド膜からなるシリサイド膜を形成してもよい。このとき、まずチタンシリサイド膜を形成した後、コバルトシリサイド膜を形成すれば、チタンシリサイド膜の凝集する温度がコバルトシリサイド膜に比べて高いため、チタンシリサイド膜の結晶粒径を変化させることなくシリコンが露出している分断部分にコバルトシリサイド膜を形成することができる。

【 0 0 7 6 】

(その他の実施形態)

上記第1～第4の実施形態において、コバルト膜上に窒化チタン膜を用いて説明したが、窒化膜や酸化膜でもよい。

【0077】

また、半導体基板として、バルクの半導体基板だけでなく、SOI基板を用いてもよく、シリコン基板以外の半導体基板であってもよい。また、例えばシリコン基板にSiGe層、SiGeC層を設けたヘテロ接合を有するものであってもよい。

【0078】

さらに、シリサイド層を形成する対象部材は、ゲート電極、ゲート配線だけでもよい。その場合、次の2つのケースが考えられる。第1の方法は、まず、ポリシリコン膜をパターニングして、ゲート電極、ゲート配線を形成してからシリサイド化処理を行なう方法である。第2の方法は、ポリシリコン膜と金属膜とを積層し、金属膜のシリサイド化を行なって第1のシリサイド膜を形成してから、ポリサイド膜をパターニングしてゲート電極、ゲート配線を形成する方法である。この第2の方法の場合、第1のシリサイド膜から本発明の第2、第3のシリサイド膜を形成する工程は、ポリサイド膜のパターニング前に行なってもよいし、ポリサイド膜のパターニング後に行なってもよい。

【0079】

また、シリサイド層を形成する対象部材は、ゲート電極、ゲート配線だけでなく、ポリシリコン配線、ポリシリコン電極（パッド）など金属のシリサイド化処理が可能な材料からなる他の部材であってもよい。例えば、DRAMメモリセルトランジスタにおいては、ゲート電極、ゲート配線（ワード線）だけにシリサイド層が設けられることがある。一般の配線、電極（パッド）においても、シリサイド結晶粒の凝集によって部分的に空隙や高抵抗部が生じると、その部材自身又はその部分に接続されるコンタクト部材との電氣的接続に不具合が生じることがあるので、本発明を適用することにより、各実施形態で述べたような効果が得られる。また、キャパシタの電極や、抵抗素子の配線とのコンタクト部などにおいても同様である。

【0080】

ただし、特に微細化された部材においては、局所的なシリサイド層の空隙や薄膜化による影響が大きいので、MISFETのゲート電極、ゲート配線やソース・ドレイン領域上へのシリサイド層を形成する場合に本発明を適用する意義が大きいといえる。もちろん、その場合にも、ゲート電極、ゲート配線だけにシリサイド層を形成する工程や、ソース・ドレイン領域だけにシリサイド層を形成する工程に本発明を適用してもよいことは言うまでもない。

【0081】

【発明の効果】

本発明によれば、シリサイド膜に生じる分断部分による高抵抗化を防止することができ、ゲート電極やソース・ドレイン領域が微細化されても低抵抗なシリサイド膜を有する半導体装置を形成することができる。

【図面の簡単な説明】

【図1】

(a)～(c)は、第1の実施形態の半導体装置の製造工程のうち第1のシリサイド膜を形成するまでの工程を示す断面図である。

【図2】

(a)～(c)は、第1の実施形態の半導体装置の製造工程のうち未反応のコバルト膜を除去してから第3のシリサイド膜を形成するまでの工程を示す断面図である。

【図3】

(a)～(c)は、第2の実施形態の半導体装置の製造工程のうち第1のシリサイド膜を形成するまでの工程を示す断面図である。

【図4】

(a)～(c)は、第2の実施形態の半導体装置の製造工程のうち未反応のコバルト膜を除去してから第3のシリサイド膜を形成するまでの工程を示す断面図である。

【図5】

(a)～(c)は、第3の実施形態の半導体装置の製造工程のうち第1のシリ

サイド膜を形成するまでの工程を示す断面図である。

【図 6】

(a) ～ (c) は、第 3 の実施形態の半導体装置の製造工程のうち第 2 の金属膜、保護膜を形成してから第 2 のシリサイド膜を形成するまでの工程を示す断面図である。

【図 7】

(a) ～ (c) は、第 4 の実施形態の半導体装置の製造工程のうち第 1 のシリサイド膜を形成するまでの工程を示す断面図である。

【図 8】

(a) ～ (c) は、第 4 の実施形態の半導体装置の製造工程のうち第 2 のシリサイド膜を形成してから第 3 のシリサイド膜を形成するまでの工程を示す断面図である。

【図 9】

(a) ～ (c) は、第 4 の実施形態の半導体装置の製造工程のうち未反応の第 2 のコバルト膜を除去してから第 4 のシリサイド膜を形成するまでの工程を示す断面図である。

【図 1 0】

(a) ～ (e) は、従来のシリサイド構造を有する半導体装置の製造工程を示す断面図である。

【図 1 1】

(a) 及び (b) は、それぞれ図 1 0 (d) 及び図 1 0 (e) に示す断面図の拡大図である。

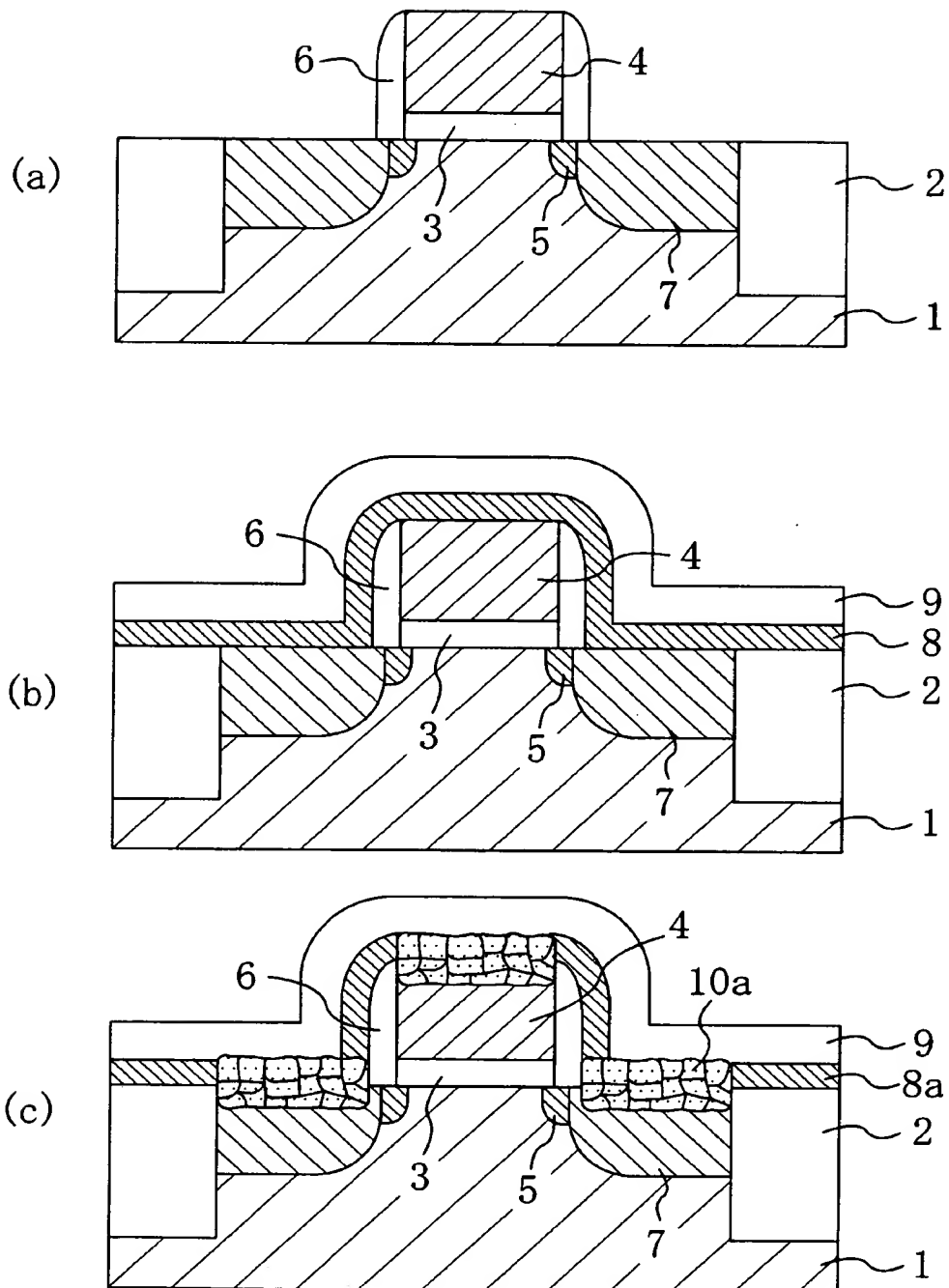
【符号の説明】

- 1 半導体基板
- 2 素子分離用絶縁膜
- 3 ゲート絶縁膜
- 4 ゲート電極
- 5 LDD領域（低濃度ソース・ドレイン領域）
- 6 サイドウォール

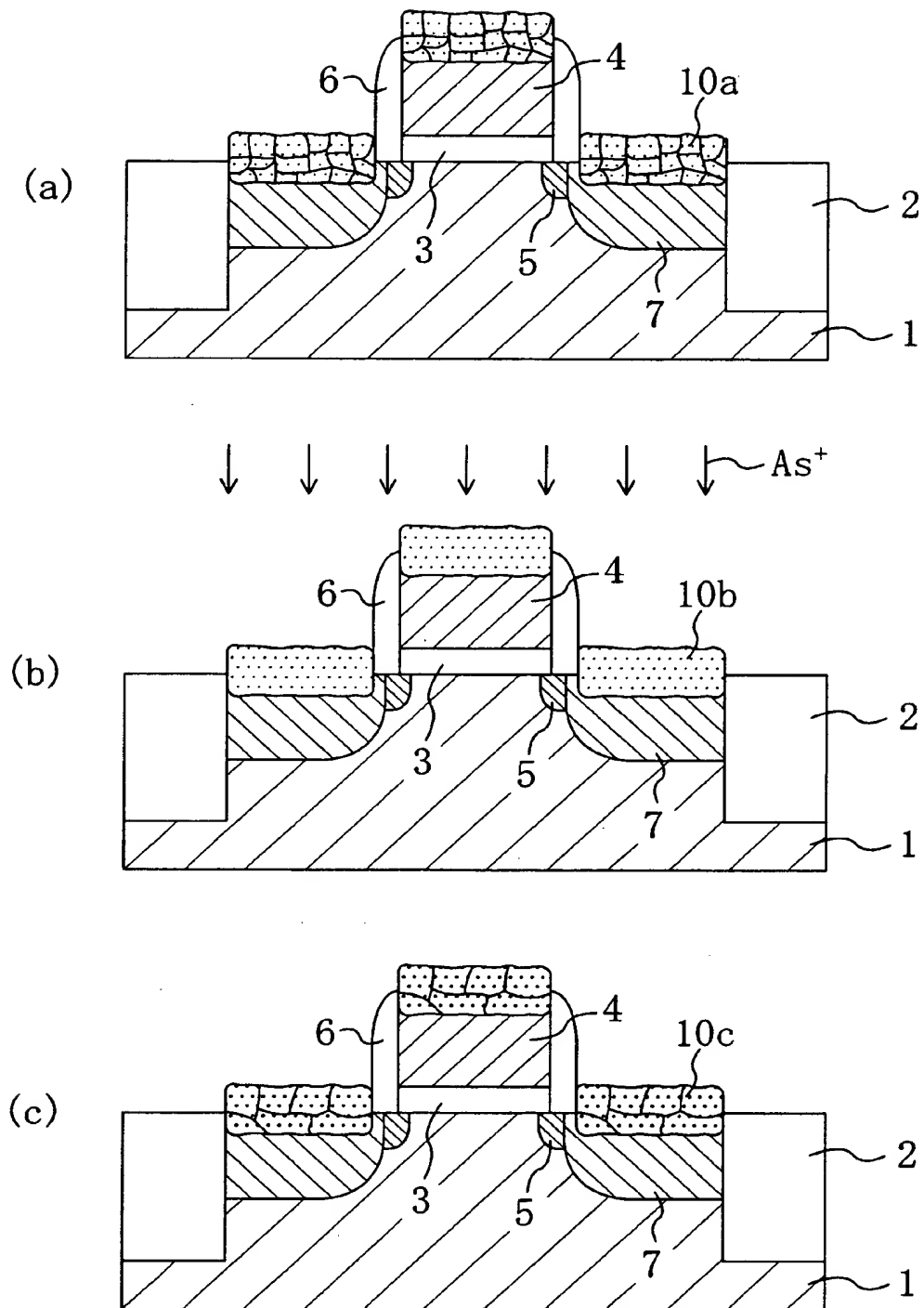
- 7 高濃度ソース・ドレイン領域
- 8 コバルト膜
- 9 窒化チタン膜
- 1 0 a 第 1 のコバルトシリサイド膜
- 1 0 b 第 2 のコバルトシリサイド膜
- 1 0 c 第 3 のコバルトシリサイド膜
- 1 2 保護膜
- 1 3 コバルト膜
- 1 4 窒化チタン膜
- 1 5 分断部分
- 1 6 コバルト膜
- 1 7 窒化チタン膜
- 1 8 コバルトシリサイド膜
- 1 8 a 第 3 のコバルトシリサイド膜
- 1 8 b 第 4 のコバルトシリサイド膜
- 2 0 a 第 1 のコバルトシリサイド膜
- 2 0 b 第 2 のコバルトシリサイド膜

【書類名】 図面

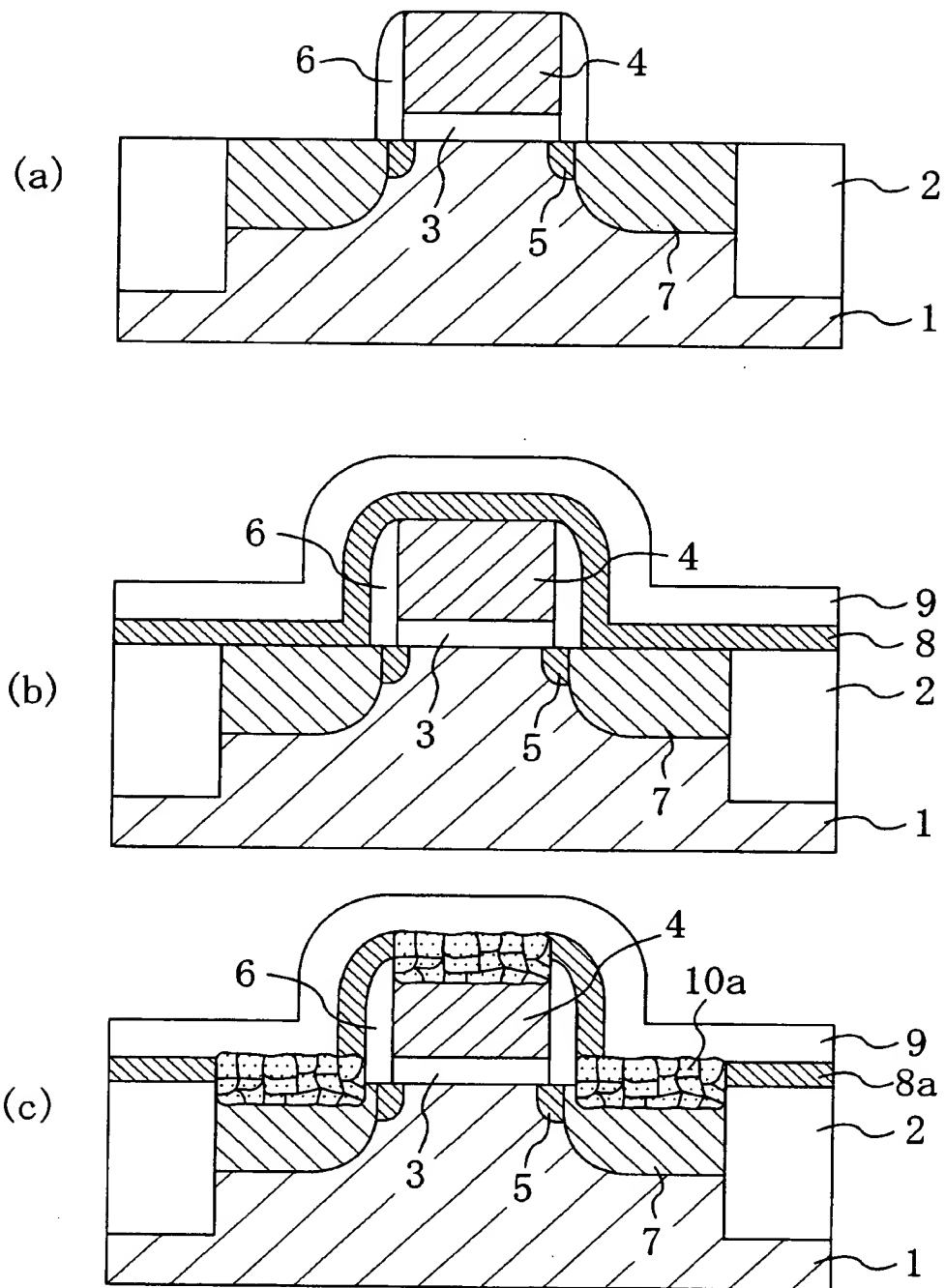
【図 1】



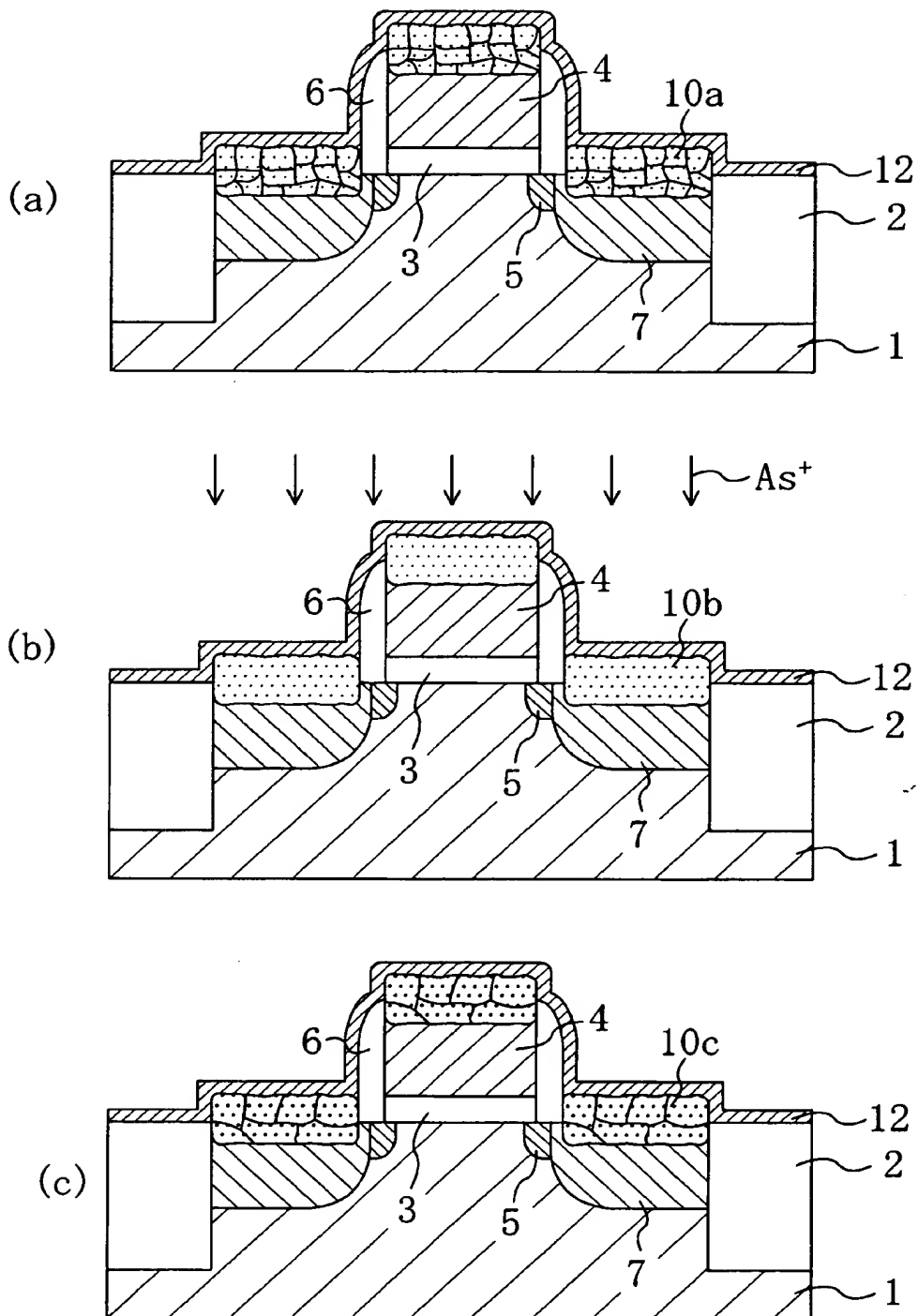
【図 2】



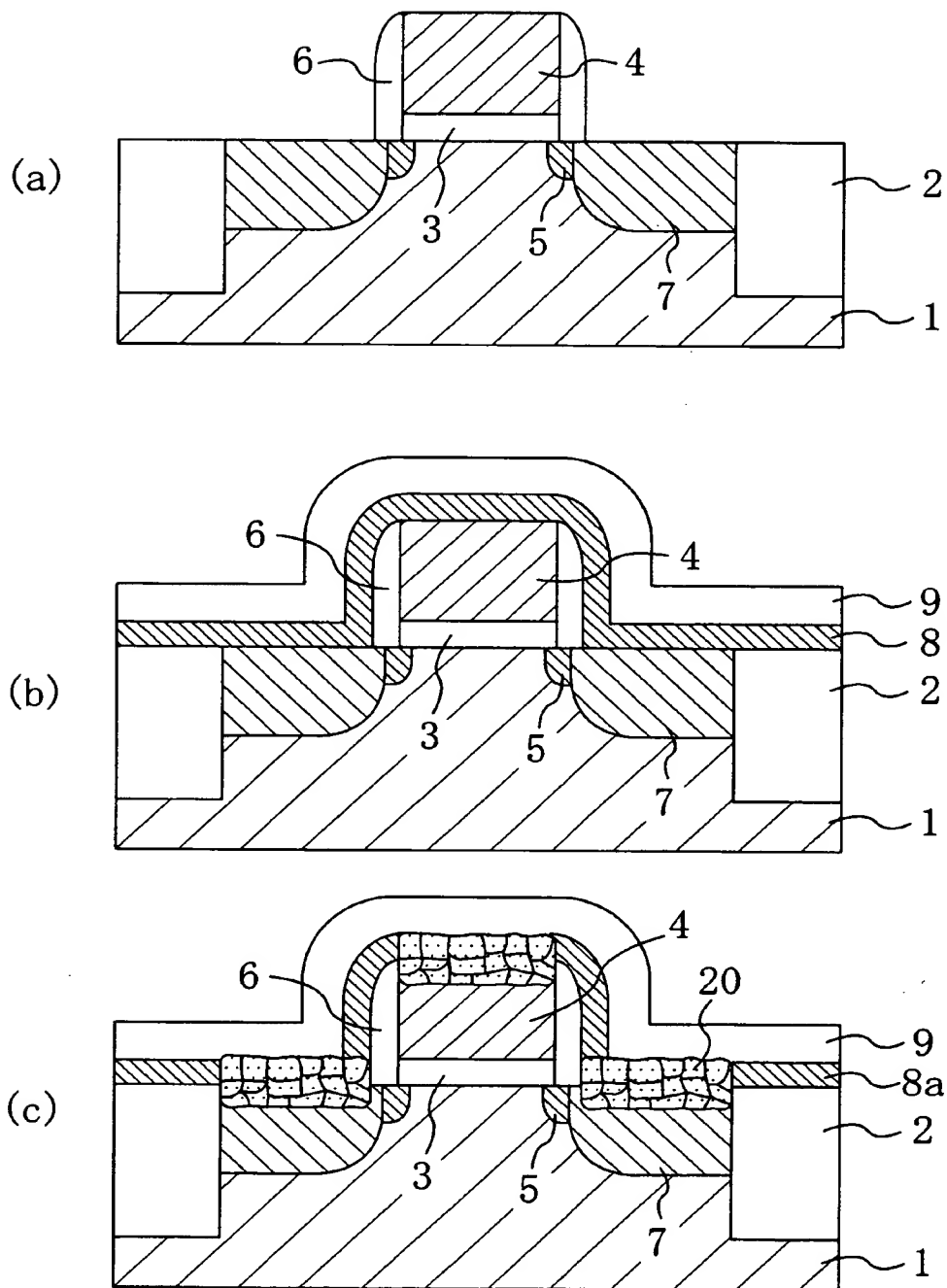
【図 3】



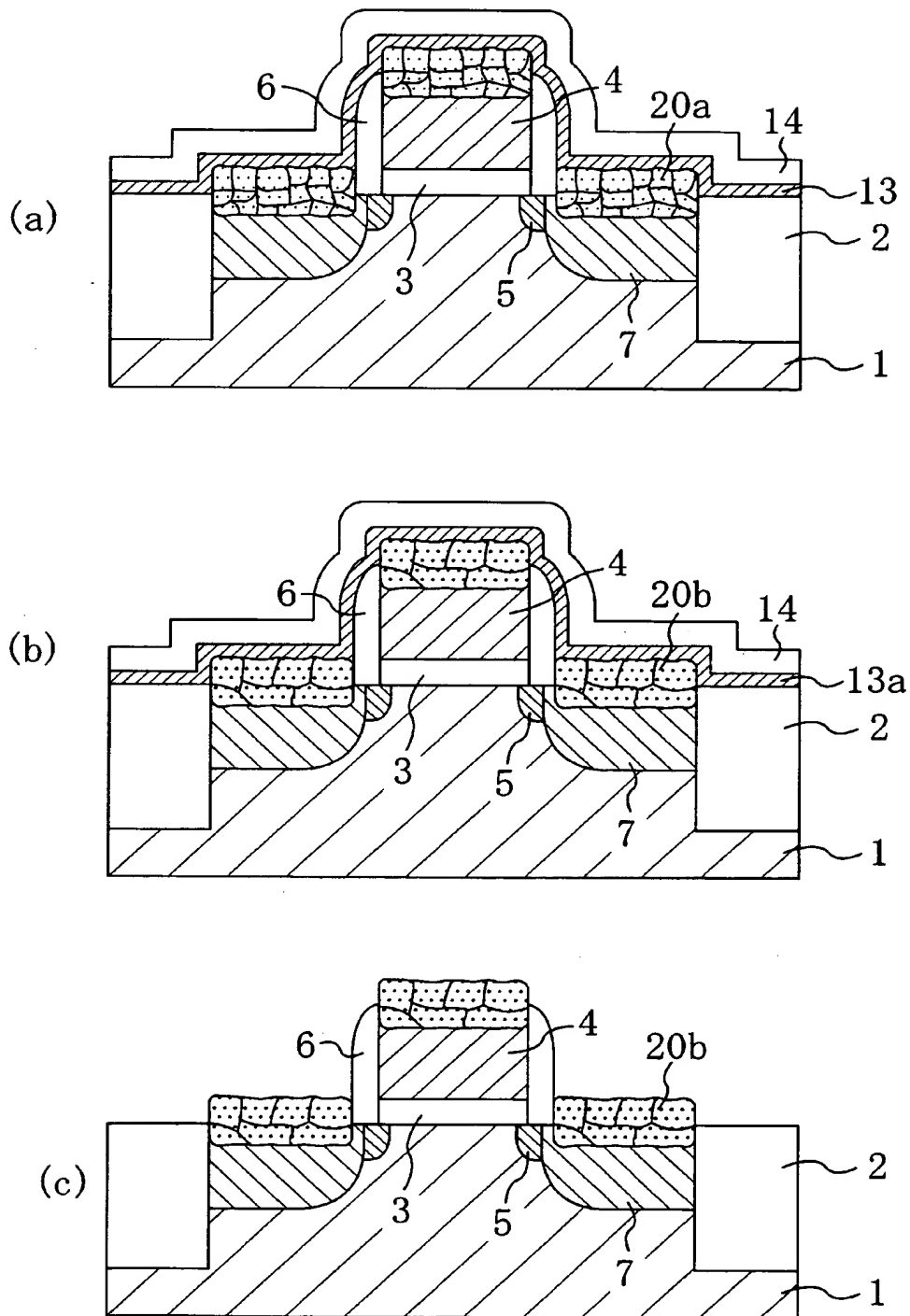
【図 4】



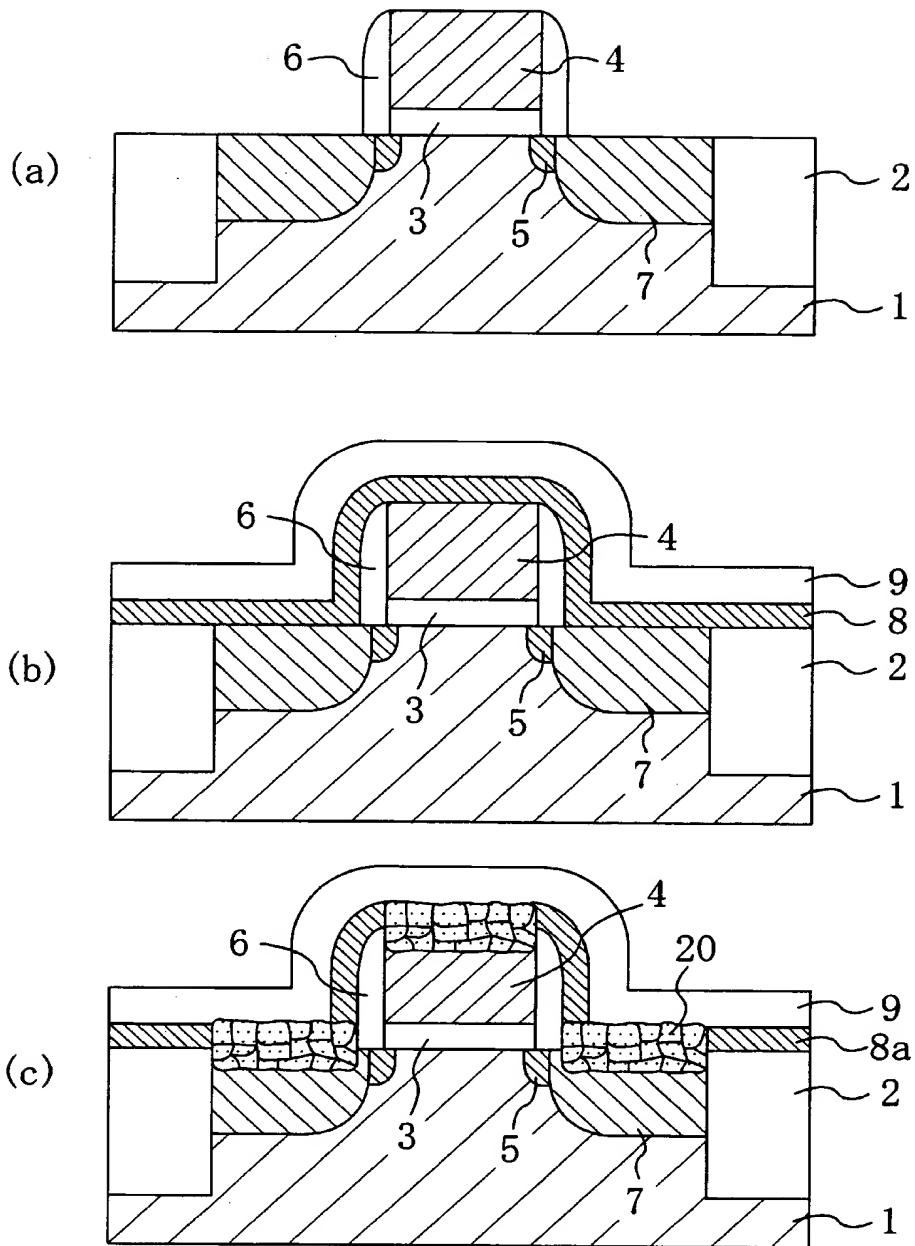
【図 5】



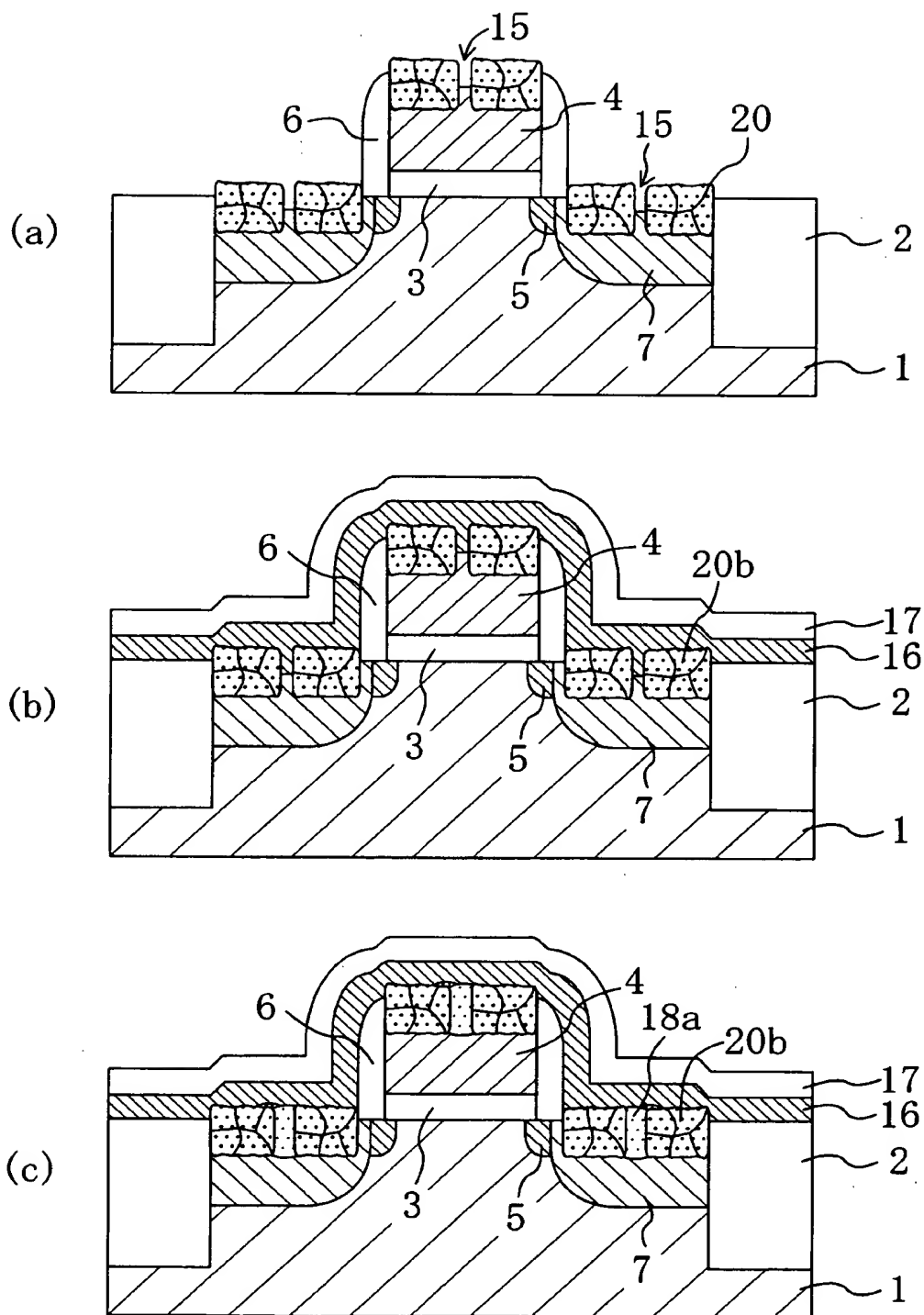
【図 6】



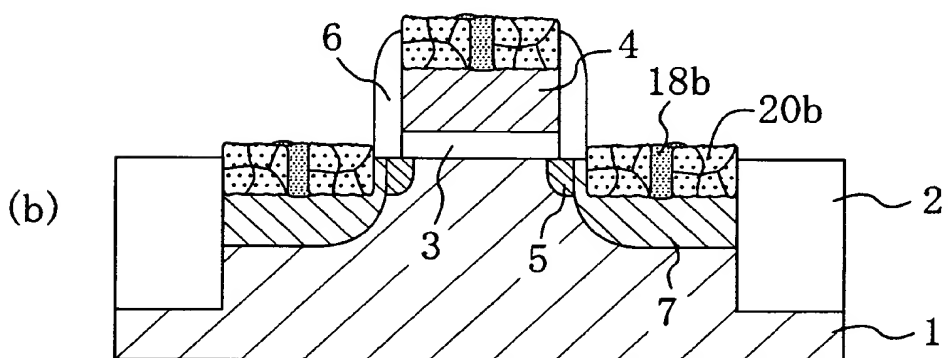
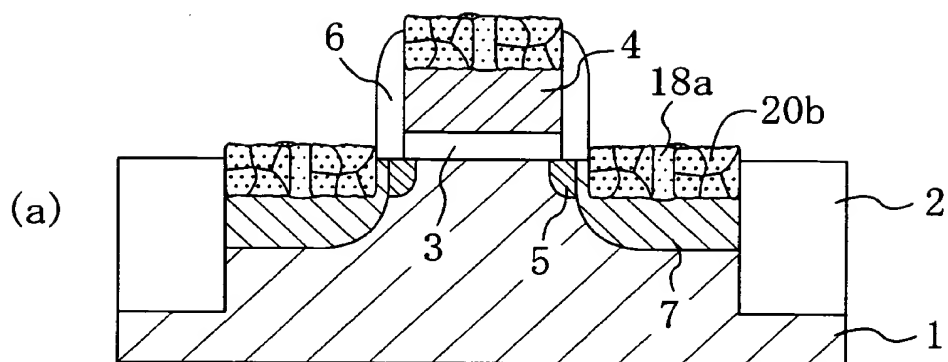
【図 7】



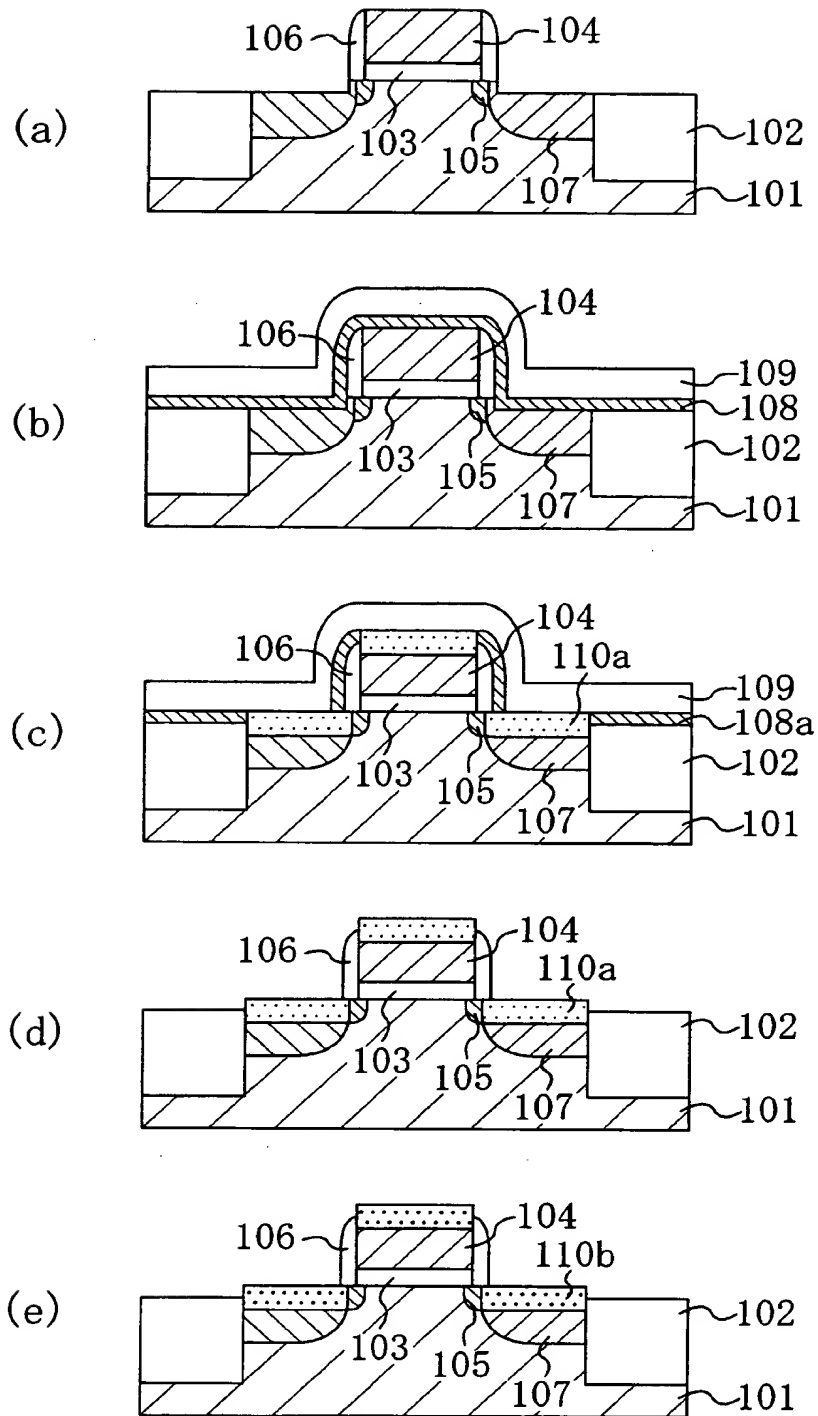
【図 8】



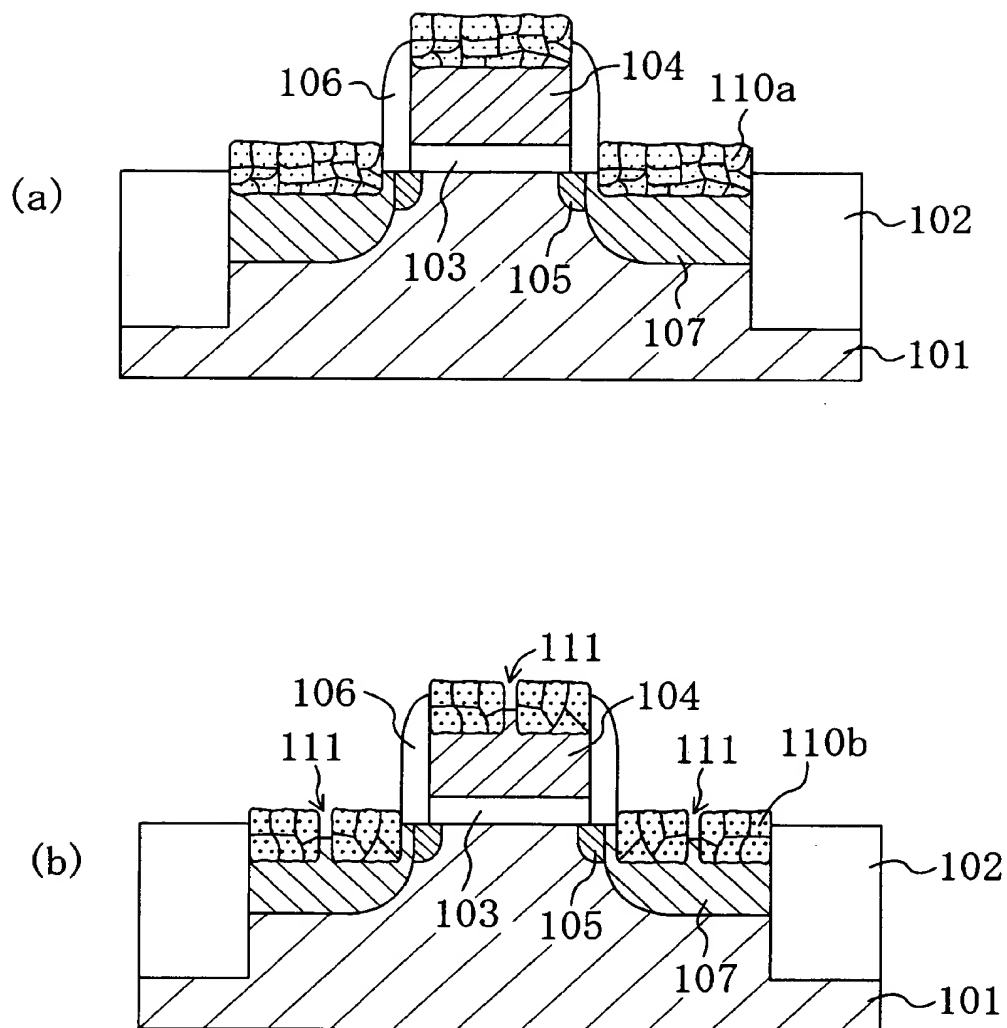
【図 9】



【図 1 0】



【図 1 1】



【書類名】 要約書

【要約】

【課題】 シリサイド膜の熱処理における結晶粒の凝集を抑制して極端な局所的薄膜化部分や分断部分のない半導体装置及びその製造方法を提供する。

【解決手段】 半導体層であるゲート電極4や高濃度ソース・ドレイン領域7などの上に金属膜であるコバルト膜を堆積し、第1の熱処理により、シリサイド化反応を起こさせて多結晶構造の第1のコバルトシリサイド膜10aを形成する。次に、第1のコバルトシリサイド膜10a内に砒素やシリコンなどのイオンを注入して、第1のコバルトシリサイド膜10aをアモルファス構造の第2のコバルトシリサイド膜10bに変える。第2の熱処理を行なうと、アモルファス構造から結晶粒の凝集がほとんどない多結晶構造の第3のコバルトシリサイド膜10cが得られる。

【選択図】 図2

【書類名】 出願人名義変更届（一般承継）
【提出日】 平成13年 4月26日
【あて先】 特許庁長官 殿
【事件の表示】
 【出願番号】 特願2000-302064
【承継人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
 【代表者】 中村 ▲邦▼夫
【提出物件の目録】
 【物件名】 権利の承継を証明する書面 1
 【援用の表示】 平成13年 4月16日付提出の特許番号第31505
60号の一般承継による特許権の移転登録申請書に添付
した登記簿謄本を援用する。

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 4 3]

1. 変更年月日	1 9 9 3 年 9 月 1 日
[変更理由]	住所変更
住 所	大阪府高槻市幸町 1 番 1 号
氏 名	松下電子工業株式会社

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社